

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-093887

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 21/3065

H01L 29/78

H01L 21/336

(21)Application number : 11-269515

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.1999

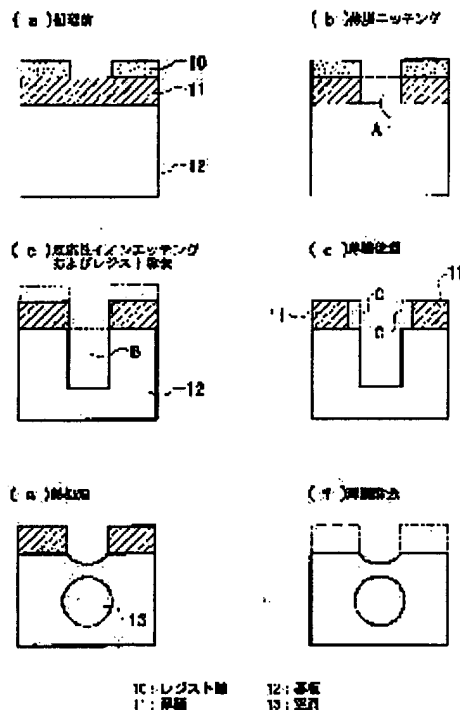
(72)Inventor : MITSUTAKE KUNIHIRO
USHIKU YUKIHIRO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a hollow in a substrate with satisfactory controllability.

SOLUTION: This method comprises a thin film accumulating step for accumulating a thin film on a semiconductor substrate (a), a thin film opening step for forming an opening at the thin film, by removing one part of the thin film and exposing the semiconductor substrate (b), a groove forming step for forming a groove having an opening which is not larger than the opening at the semiconductor substrate by removing one part of the exposed semiconductor substrate (d), and a heat treatment step for carrying out heat treatment to the groove and closing the opening of the groove (e).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-93887

(P2001-93887A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	7-コード [*] (参考)		
H 0 1 L	21/3085	H 0 1 L	21/302	J	5 F 0 0 4
	29/78		29/78	S 0 1 X	5 F 0 4 0
	21/336			S 0 1 Y	

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平11-209515

(22) 出願日 平成11年9月22日(1999.9.22)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 光武 邦寛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 牛久 幸広

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100033806

弁理士 三好 秀和 (外7名)

Fターム(参考) 5F004 5D04 1B01 5A06 5A07 5B04

FA01

5F040 5A06 5D01 5B00 1F000

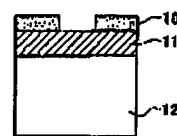
(54) 【発明の名称】 半導体装置製造方法

(57) 【要約】

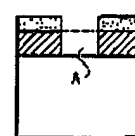
【課題】 基板内部に空洞を制御性良く作製する。

【解決手段】 (a) 半導体基板上に薄膜を堆積させる薄膜堆積ステップと、(b) 薄膜の一部を除去し、半導体基板を露出させることにより、薄膜に開口部を形成する薄膜開口部形成ステップと、(c) 露出した半導体基板の一部を除去し、開口部と同じ若しくは小さい開口部を有する溝を半導体基板に形成する溝形成ステップと、(e) 溝に対して熱処理を加え、溝の開口部を閉じる熱処理ステップを有する。

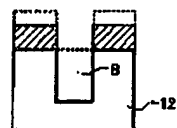
(a) 堆積前



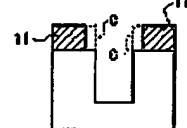
(b) 薄膜エッチング



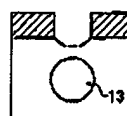
(c) 露出した半導体基板の一部を除去し、溝を形成する



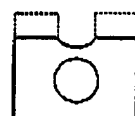
(d) 溝熱処理



(e) 熱処理



(f) 溝熱処理



10: レジスト膜
11: 開口

12: 基板
13: 溝

【特許請求の範囲】

【請求項1】 半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、前記半導体基板上に薄膜を堆積させる薄膜堆積ステップと、

前記薄膜の一部を除去し、前記半導体基板を露出させることにより、当該薄膜に開口部を形成する薄膜開口部形成ステップと、

前記露出した半導体基板の一部を除去し、前記開口部と同じ若しくは小さい開口部を有する溝を半導体基板に形成する溝形成ステップと、

前記溝に対して熱処理を加え、当該溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法。

【請求項2】 前記薄膜の開口部の少なくとも側壁に第二の薄膜を堆積させた後に溝形成ステップを行なうことを特徴とする請求項1に記載の半導体装置製造方法。

【請求項3】 前記薄膜の開口部の面積は前記溝のその1倍以上9倍以下であることを特徴とする請求項1又は請求項2に記載の半導体装置製造方法。

【請求項4】 前記薄膜は単層膜若しくは積層膜であることを特徴とする請求項1、請求項2又は請求項3に記載の半導体装置製造方法。

【請求項5】 半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、前記半導体基板に、底部の断面積が開口部のその1、2倍以上である逆テーパ形状の溝を形成する溝形成ステップと、

前記溝に対して熱処理を加え、当該溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法。

【請求項6】 半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、前記半導体基板に溝を形成する溝形成ステップと、

少なくとも溝の底部若しくは溝の下部の側壁に薄膜を堆積させる薄膜堆積ステップと、

前記溝に対して熱処理を加え、当該溝の開口部を閉じる熱処理ステップとを有することを特徴とする半導体装置製造方法。

【請求項7】 前記半導体基板はシリコン基板であり、前記薄膜はシリコン酸化膜若しくはシリコン窒化膜であることを特徴とする請求項6に記載の半導体装置製造方法。

【請求項8】 半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、前記半導体基板上に当該半導体基板の融点よりも低い融点を有する薄膜を堆積させる薄膜堆積ステップと、

前記薄膜および半導体基板の一部を除去し、溝を形成する溝形成ステップと、

前記溝に対して熱処理を加え、当該溝の開口部を閉じる熱処理ステップとを有することを特徴とする半導体装置製造方法。

【請求項9】 前記半導体基板はシリコン基板であり、前記薄膜はSiGe薄膜であることを特徴とする請求項8に記載の半導体装置製造方法。

【請求項10】 前記薄膜の膜厚は溝の開口径の大きさの10%以上であることを特徴とする請求項8又は請求項9に記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法に関し、特に、基板原子の表面拡散を抑制する薄膜を用いることにより、基板内部に空洞を制御性良く作製し、空洞作製に要する労力および時間を大幅に削減する技術に係る。

【0002】

【従来の技術】近年の半導体装置の製造技術の急激な進歩により、MOSトランジスタの微細化が急速に進み、よりコンパクトで軽微な電子機器を開発することが可能となってきた。しかしながら、その一方で、MOSトランジスタのソース/ドレイン間の距離の狭まりに起因する短チャネル効果が無視することができない問題の一つとなっている。短チャネル効果は、半導体装置のしきい値電圧を変化させる等、半導体装置の電気特性に大きな影響を与えるために、短チャネル効果を抑制した半導体装置の製造が要求されている。

【0003】このような背景から、最近では、ソース/ドレイン領域における不純物プロファイルをより浅くし、急峻な不純物プロファイルを形成して短チャネル効果を抑制するために、半導体装置の製造を従来よりも低温で行なったり、より低い加速電圧で不純物イオン注入処理を行なう等、様々な対策が施されている。

【0004】このような様々な対策の中、最近、特開平11年113653号公報等に表示されるように、MOSトランジスタのチャネル領域下に溝を形成し、その後、形成された溝を熱処理し、溝の開口部を閉じ、チャネル領域下に空洞を形成することにより、短チャネル効果を抑制することができることが明らかとなり、短チャネル効果抑制の一手法として大変注目を集めている。

【0005】

【発明が解決しようとする課題】しかしながら、現在までの所、チャネル領域下に空洞を形成し、短チャネル効果を抑制する半導体装置製造方法には、以下に示すような解決すべき技術的課題がある。

【0006】第1に、一般に、短チャネル効果を効率的に抑制するためには、基板内における空洞の深さ方向の位置の制御等、基板内の空洞およびその上部のチャネル領域を制御性良く作製することが重要であるが、従来までの半導体装置製造方法では、空洞を形成する際に形成する溝の深さのバラツキに起因して、空洞を形成した後、半導体装置表面に凹凸が発生してしまう。

【0007】第2に、従来までの半導体装置製造方法では、溝を閉じる際の熱処理に要する時間が長い等、空洞形成までに非常に多くの労力および時間が必要とされ、効率的な半導体装置の製造が困難であった。

【0008】本発明は、上記技術的課題を鑑みてなされたものであり、その目的は、基板内に空洞を制御性良く作製し、空洞作製に要する労力および時間を大幅に削減する半導体装置製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記技術的課題を解決するために、発明者らは、基板上に、基板原子の表面拡散を抑えるための、開口部を有した薄膜を堆積し、薄膜の開口部と同じ大きさ若しくは小さい開口部を有する、トレンチ等の溝を基板に形成した後に、溝に対して熱処理を施すことにより、基板内部に空洞を制御性良く形成し、空洞作製に要する労力および時間を大幅に削減することが可能になるという考えに至った。

【0010】上記の考えに基づいた本発明の第1の特徴は、半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、半導体基板上に薄膜を堆積させる薄膜堆積ステップと、薄膜の一部を除去し、半導体基板を露出させることにより、薄膜に開口部を形成する薄膜開口部形成ステップと、露出した半導体基板の一部を除去し、開口部と同じ若しくは小さい開口部を有する溝を半導体基板に形成する溝形成ステップと、溝に対して熱処理を加え、溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法であることにある。

【0011】上記構成によれば、基板原子の表面拡散を抑えるための薄膜を溝付近に堆積させ、薄膜と接触した領域の基板は変形させずに、露出した領域のみを表面拡散により変形させるので、基板内部に空洞を制御性良く形成することができ、空洞作製に要する労力および時間を大幅に削減することが可能となる。

【0012】なお、薄膜の開口部の少なくとも側壁に第二の薄膜を堆積させた後に溝形成ステップを行なうと良い。これにより、溝の開口部より小さい開口部を有する溝を容易に形成することができ、空洞作製に要する労力および時間を大幅に削減することができる。

【0013】また、薄膜の開口部の面積は溝のその1倍以上9倍以下であることが望ましい。これにより、熱処理の際に開口部付近を先に閉じることができ、溝の深さがばらついた場合であっても、基板最表面の凹凸のパラッキを抑えることが可能となり、基板表面の平坦性を悪化させることがなくなる。

【0014】さらに、薄膜は単層膜若しくは積層膜であることが好ましい。これにより、薄膜が大きく物理的・化学的に変化することがなくなるので、溝の形状変化を制御することができ、空洞の形成が容易となる。

【0015】一方、本発明の第2の特徴は、半導体基板内に空洞を有する半導体装置を製造する半導体装置製造

方法において、半導体基板に、底部の断面積が開口部のその1.2倍以上である逆テーパ形状の溝を形成する溝形成ステップと、溝に対して熱処理を加え、溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法であることにある。

【0016】上記構成によれば、熱処理の際に、溝の開口部付近を先に閉じることができるので、より短時間で空洞を形成することが可能となる。

【0017】また、本発明の第3の特徴は、半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、半導体基板に溝を形成する溝形成ステップと、少なくとも溝の底部若しくは溝の下部の側壁に薄膜を堆積させる薄膜堆積ステップと、溝に対して熱処理を加え、溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法であることにある。

【0018】上記構成によれば、薄膜により溝の下部における形状変化を抑制し、溝の開口部付近のみで形状変化を起こさせることが可能となり、基板内部に空洞を制御性良く形成することができる。

【0019】ここで、半導体基板としてはシリコン基板、薄膜としてはシリコン酸化膜若しくはシリコン窒化膜を用いることが望ましい。

【0020】さらに、本発明の第4の特徴は、半導体基板内に空洞を有する半導体装置を製造する半導体装置製造方法において、半導体基板上に半導体基板の融点よりも低い融点を有する薄膜を堆積させる薄膜堆積ステップと、薄膜および半導体基板の一部を除去し、溝を形成する溝形成ステップと、溝に対して熱処理を加え、溝の開口部を閉じる熱処理ステップとを有する半導体装置製造方法であることにある。

【0021】上記構成によれば、より短時間で基板内に空洞を形成することができる。

【0022】なお、この場合、半導体基板としてはシリコン基板であり、薄膜としてはSiGe薄膜を用いることが望ましい。

【0023】また、薄膜の膜厚は溝の開口径の大きさの10%以上にとると良い。

【0024】

【発明の実施の形態】本発明の半導体装置製造方法は、精神的な実態により抽出された知見に基づいて発案されたものである。そこで、本発明の実施形態に係る半導体装置製造方法の詳細について触れる前に、図9乃至図13を参照して、この実態の内容について解説する。

【0025】発明者らは、制御性良く空洞を形成し、空洞作製に要する労力および時間を大幅に削減するための半導体装置製造方法を起案するに際して、基板上に、基板原子の表面拡散を抑えるための、開口部を有した薄膜を堆積し、薄膜の開口部と同じ大きさ若しくは小さい開口部を有する、トレンチ等の溝を基板に形成した後に、溝に対して熱処理を施すことを発案した。そして、この

製造方法の妥当性および製造条件の絞り込みを行なうために、(1) 薄膜の開口径が溝の開口径と等しい場合、(2) 薄膜の開口径が溝の開口径より大きい場合の2つのケースに対して、薄膜を堆積させた基板をモデル化し、基板原子の動きを表面拡散方程式を用いて調査し、溝の形状変化の様子を解析した。以下に、その解析結果を示す。

【0026】始めに、薄膜の開口径が溝の開口径と等しい場合についての解析結果について説明する。

【0027】図9は、薄膜の開口径が溝の開口径と等しい時の熱処理の進行に伴う溝の形状変化の様子を示す。ここで、溝の深さと溝の開口径の長さの比（以下、アスペクト比と表記）は1.0とした。

【0028】図から、薄膜90の開口径が溝の開口径と等しい場合、熱処理時間 $T=6.0T_0$ 経過後、溝の下部でくびれが生じ（図9（b））、さらに、熱処理が進み、時間 $T=10.5T_0$ となると、溝の上部にもくびれが生じることがわかる（図9（c））。また、図9（d）に示すように、溝の深さが異なる場合（ $x=d_1, d_2, d_3, d_4$ ）であっても、溝の最下部ではほぼ同じ大きさの空洞が形成され、空洞が形成されるまでの時間は $6.0T_0 \sim 6.6T_0$ と同程度となることが知見された。なお、本明細書中で用いる T_0 は、時間の単位を示し、例えば、数秒から数分程度の値であるとする。また、 T_0 は、熱処理時の雰囲気の種類や圧力、温度、表面拡散係数に依存する値であるので、雰囲気の種類や圧力、温度等の熱処理条件が同じ場合、 T_0 を介して、空洞が形成されるまでの時間の直接の比較を行なうことができる。

【0029】以上をまとめると、図10に示すように、薄膜の開口径の大きさが溝のそれと同じである場合には、溝の下側から順に空洞を形成することができ、溝の深さが深くない場合には、1個の空洞を形成することが可能であることが知見された。一方、溝の深さのバラツキが存在した場合には、くびれの位置や最表面の表面形状がばらつき、極端な場合には、生成される空洞の数が変わってしまうことも知見された。このような場合に、基板上にエピタキシャル膜を堆積させる等の処理により仮に基板表面を平坦化させても、空洞の位置自体が既にばらついてしまっているため、短チャネル効果を効果的に抑えることが難しいことが予想される。しかしながら、基板最表面における陥みを抑える効果はある程度得ることができると言える。

【0030】次に、薄膜の開口径が溝の開口径より大きい場合についての解析結果について説明する。

【0031】図11（a）、（b）は、薄膜の開口径が溝の開口径より大きい場合の熱処理の進行に伴う溝の形状変化の様子を示す。ここで、薄膜の開口径 R_m 、溝の開口径 R_0 は $R_m=1.25R_0$ の関係にあるとした。

【0032】図から、薄膜の開口径を溝の開口径よりも大きくすると、薄膜の開口径が溝の開口径と等しい場合と違い、熱処理前の溝の深さの違いに係らず、溝が上側の開口部付近で閉じることがわかる。また、薄膜の開口径が異なる場合（ $R_m=2R_0, 3R_0, 5R_0$ ）であっても、図11（c）に示すように同じ傾向が確認された。

【0033】以上をまとめると、薄膜の開口径が溝の開口径よりも大きい場合、溝の開口部付近で先に溝を閉じ、空洞を形成することができるので、溝の深さがばらついた場合であっても、基板の最表面の形状はばらつかず、また、空洞の位置自体も大きくばらつくことがないことが知見された（図12参照）。

【0034】上記の2つの解析結果をまとめると、制御性良く空洞を形成し、空洞作製に要する労力および時間を大幅に削減するためには、(1) 基板上に開口部を有した薄膜を堆積し、(2) 薄膜の開口部と同じ大きさ若しくは小さい開口部を有する溝を基板に形成し、(3) 薄膜の開口径を溝の開口径よりも大きくすると良いことが明らかとなった。なお、(3)の薄膜の開口径が溝の開口径よりも大きくすることの意義は、基板の角部を露出させることにある。基板の角部を露出させることにより、溝の開口部付近における基板の曲率の非一様性を緩和させる方向に基板の形状変化が生じ、溝の開口部を先に閉じさせるというメリットが得られるのである。これに対して、薄膜の開口径と溝の開口径が等しい場合、溝の開口部付近の基板の曲率がほぼ一様となり、この付近における形状変化は起こりにくくなり、溝の開口部が先に閉じなくなるのである。なお、薄膜の開口径と溝の開口径が等しい場合、上記のようなメリットを望むことはできないが、基板最表面における陥みを抑える等の利点もあるので、場合によっては、薄膜の開口径と溝の開口径を等しくすることも有効となるであろう。

【0035】最後に、溝の開口部付近に薄膜材料を配置させた際の熱処理開始時から溝が閉じるまでの時間を解析した結果を示す。

【0036】図13は、薄膜の開口径の変化に伴う開口部付近が閉じるまでの時間の関係を示す。ここでは、アスペクト比は1.0とした。

【0037】図から、薄膜の開口径 R_m が $5R_0, 2R_0, 1.25R_0$ と小さくなるにしたがって、溝の開口部が閉じるまでの時間が短くなることがわかる。したがって、薄膜の開口径が小さい（溝の開口径の大きさに近い）方がより効率的に空洞を形成することができると言うことができる。しかしながら、薄膜の開口径が小さくなり過ぎると、既述のように、基板の角部が丸まろうとする駆動力が小さくなり、基板の開口部が閉じなくなってしまうので、薄膜の開口径は溝の開口径の1.1倍程度以上となるようにすることが望ましいと言える。

【0038】以上が発明者が行なった計算機実験（又

は、シミュレーション、又は、表面拡散方程式を用いた解析により得られた知見である。そこで、以下では、図1乃至図8を参照して、上記裏面から得られた知見に基づいた、本発明の実施形態に係る半導体装置製造方法について詳しく説明する。なお、以下では「半導体基板」としてシリコン基板を想定して話を進めるが、本発明の技術範囲がこれに限られることはなく、例えば、同じⅣ族半導体であるゲルマニウム基板等を用いても良い。

【0039】(第1の実施形態) 図1は、本発明の第1の実施形態に係る半導体装置製造方法を示す断面工程図である。

【0040】本発明の第1の実施形態に係る半導体装置の製造方法においては、

(a) 始めに、基板12上に薄膜11を形成した後に、薄膜11上にレジスト膜10を形成する。ここで薄膜11の材質としては、(1)基板との密着性が良く基板と反応しない、(2)薄膜全体又は一部が水系により還元されにくい、(3)流動、化学変化、体積変化ににくい、(4)耐熱性がある、(5)機械的強度が大きい、等の条件を満たすものを用いる。このような条件を満たす材料としては、例えば、シリコン窒化膜の単層膜やシリコン窒化膜の単層膜を含んだ積層膜等が考えられる。なお、シリコン窒化膜を含む積層膜としては、シリコン酸化膜の上にシリコン窒化膜を堆積させた二層構造の積層膜を用いると良い。

【0041】(b) 次に、レジスト膜10をマスクとして、反応性イオンエッチング(以下、RIEと表記)処理等の方法により、薄膜11の領域Aを異方性エッチングし、除去する。

【0042】(c) 続いて、薄膜11をマスクとして、基板12の領域BをRIE処理等の方法により異方性エッチングすると同時に、灰化処理等によりレジスタ膜10を除去する。この結果、基板に溝を形成することができる。なお、本明細書中でいう「溝」とは、トレンチ、又は、ラインアンドスペースパターン of のスペース部のような細長い溝の双方を意味するものとする。

【0043】(d) 次に、薄膜11の開口径が溝のそれよりも大きくなるように、薄膜11の開口部付近Cを後退させる。本発明の第1の実施形態に係る半導体装置の製造方法においては、薄膜の開口径は溝の開口径の1.2~3.0程度、面積に換算すれば、マスクの開口面積は溝のそれの1.4~9.0倍となるように薄膜11を後退させる。ここで、薄膜11として、シリコン酸化膜上にシリコン窒化膜を積層させた二層構造のものを用いた場合には、シリコン酸化膜およびシリコン窒化膜をそれぞれ、例えば、フッ酸および熱リン酸等を用いて後退させると良い。なお、その際の後退量は時間制御により制御するものとする。

【0044】(e) 続いて、溝に対して非酸化性雰囲気

中で熱処理を施すことにより、溝の開口部を閉じ、基板内部に空洞13を形成する。

【0045】(f) 最後に、基板13上の薄膜11を除去する。

【0046】以上の一連の処理ステップにより、制御性良く空洞を形成し、空洞作製に要する労力および時間を大幅に削減することができる。一方、上記の処理によって空洞が形成された基板表面を平坦化させる際は、図2に示すように、始めに、アモルファスシリコン層を基板上に堆積し結晶化させる。又は、エピタキシャル層を堆積させた後に、化学機械研磨等の手法を用いて、基板表面を平坦にするようにすると良い。

【0047】なお、薄膜11が積層膜である場合には、図3に示すように方法により、薄膜11の開口径を溝のそれよりも大きくするようにしても良い。すなわち、

(a) 始めに、基板33上に薄膜32を形成し、続いて薄膜32上に薄膜31を堆積させる。次に、薄膜31上にレジスト膜30を形成する。

【0048】(b) 次に、レジスト膜30をマスクとして、RIE処理等の方法により、薄膜31および薄膜32の領域Aを異方性エッチングし、除去する。

【0049】(c) 続いて、薄膜31および薄膜32をマスクとして、基板33の領域BをRIE処理等の方法により異方性エッチングし、基板に溝を形成すると同時に、灰化処理等によりレジスタ膜30を除去する。

【0050】(d) 次に、薄膜32の開口径が溝のそれよりも大きくなるように、薄膜32の開口部付近Cを後退させる。

【0051】(e) 続いて、溝に対して非酸化性雰囲気中で熱処理を施すことにより、溝の開口部を閉じ、基板内部に空洞34を形成する。

【0052】(f) 最後に、基板33上の薄膜31および薄膜32を除去する。

【0053】以上の処理ステップによれば、薄膜31および薄膜32の上側からの基板に対するエッチング等の物理的・化学的変化を抑制することができるので、半導体装置の製造処理を制御性良く実行することが可能となる。

【0054】また、薄膜11の開口径を溝のそれよりも大きくする処理は、図4に示すような方法で行なっても良い。すなわち、

(a) 始めに、基板42上に薄膜41を形成し、次に、薄膜41上にレジスト膜40を形成する。

【0055】(b) 次に、レジスト膜40をマスクとして薄膜41をRIE処理等の方法により異方性エッチングした後に、薄膜41の側部に側壁43を形成する。その後、レジスト膜40を除去する。側壁43の形成方法としては、例えば、シリコン窒化膜を基板表面全面に成膜した後に、シリコン窒化膜に対して異方性エッチングを施すことにより形成すると良い。

【0056】(c) 続いて、薄膜41および側壁43をマスクとして、基板42の領域AをRIE処理等の方法により異方性エッチングし、溝を形成する。

【0057】(d) 次に、側壁43を除去することにより、溝の開口径よりも大きな開口径を有する薄膜層が形成される。なお、側壁43の材料として、SiGe等といった、基板よりも融点の低い半導体材料を用いている場合には、この処理ステップを省くこともできる。

【0058】(e) 続いて、溝に対して非酸化性雰囲気中で熱処理を施すことにより、溝の開口部を閉じ、基板内部に空洞44を形成する。

【0059】(f) 最後に、基板42上の薄膜41を除去する。

【0060】(第2の実施形態) 図5は、本発明の第2の実施形態に係る半導体装置製造方法を示す断面工程図である。

【0061】本発明の第2の実施形態に係る半導体装置製造方法においては、

(a) 始めに、基板51上にレジスト膜50を形成する。

【0062】(b) 次に、レジスト膜50をマスクとして、RIE処理等の方法により、基板51の領域Aを異方性エッチングし、溝を形成する。この際、溝の開口部より溝の下部の方が断面面積が大きい逆テーパ形状となるように溝を形成する。具体的には、溝の断面面積の最大値が溝の開口部の面積の1.2倍以上となるようにする。

【0063】(c) 続いて、灰化処理等によりレジスト膜50を除去する。

【0064】(d) 最後に、溝に対して非酸化性雰囲気中で熱処理を施すことにより、溝の開口部を閉じ、基板51内部に空洞52を形成する。

【0065】本発明の第2の実施形態に係る半導体装置製造方法によれば、溝の断面面積が開口部に近づくにしたがって小さくなるので、より短い時間で空洞を形成することができる。さらに、本発明の第1の実施形態に係る半導体装置製造方法で用いた表面平坦化処理を施すことにより基板表面を平坦にすることも可能であり、薄膜を後退させれば、より高速に且つ制御性良く空洞を形成することもできる。

【0066】(第3の実施形態) 図6は、本発明の第3の実施形態に係る半導体装置製造方法を示す断面工程図である。

【0067】本発明の第3の実施形態に係る半導体装置製造方法においては、

(a) 始めに、基板61上にレジスト膜60を形成する。

【0068】(b) 次に、レジスト膜60をマスクとして、RIE処理等の方法により、基板61の領域Aを異方性エッチングし、溝を形成する。その後、灰化処理等によりレジスト膜60を除去する。

【0069】(c) 続いて、基板表面上に薄膜62を堆積させる。ここで、薄膜62としては、シリコン酸化膜、若しくは、シリコン窒化膜を用いることが望ましい。なお、薄膜62にシリコン酸化膜を用いた場合、熱処理中に還元されて、空洞中にシリコン酸化膜が残らない場合もあるので注意を要する。

【0070】(d) 次に、溝の側壁部分を残して、薄膜62の領域Bをエッチングする。

【0071】(e) 続いて、溝の内部に第2材料63を堆積させる。ここで、第2材料63としては、感光性樹脂等を用いることが望ましい。

【0072】(f) ひき続き、第2材料63をマスクとして、溝の上部の側壁にある薄膜62(領域C)を除去する。

【0073】(g) 次に、第2材料63を除去する。

【0074】(h) 最後に、溝に対して非酸化性雰囲気中で熱処理を施すことにより、溝の開口部を閉じ、基板61内部に空洞63を形成する。

【0075】本発明の第3の実施形態に係る半導体装置製造方法によれば、溝の下部に基板原子の表面拡散を抑える薄膜62を形成するので、溝の下部における形状の変化を抑制し、溝の上側のみで形状変化を起こさせることが可能となり、空洞の形状等、空洞の形成プロセスを制御することができる。さらに、本発明の第1の実施形態に係る半導体装置製造方法で用いた表面平坦化処理を基板に対して施すことにより基板表面を平坦にすることも可能であり、開口径が溝のそれよりも大きい薄膜を基板表面に堆積させれば、より高速に且つ制御性良く空洞を形成することもできる。なお、本発明の第3の実施形態に係る半導体装置製造方法は、形成する空洞の形状が球形ではなく、縦長の形状である場合に最も有効となるであろう。

【0076】ここで、本発明の第3の実施形態に係る半導体装置製造方法の応用例として、図7に示すように、溝の下部、若しくは、下部と側壁の下側のみに薄膜70を形成するようにしても良い。この場合、第2材料72の堆積量を制御することにより、側部における薄膜70の高さを制御する。

【0077】(第4の実施形態) 図8は、本発明の第4の実施形態に係る半導体装置製造方法を示す断面工程図である。

【0078】本発明の第4の実施形態に係る半導体装置の製造方法においては、

(a) 始めに、基板82上に、シリコンより融点の低い薄膜である、SiとGeの合金81を成膜し、さらに、その上に、レジスト膜80を形成する。

【0079】(b) 次に、レジスト膜80をマスクとして、RIE処理等の方法により、SiGe膜81と基板82の領域Aを異方性エッチングし、溝を形成する。

【0080】(c) 続いて、灰化処理等によりレジスト

膜80を除去する。

【0081】(d)最後に、溝に対して非酸化性雰囲気中で熱処理を施すことにより、溝の開口部を閉じ、基板82内部に空洞83を形成する。

【0082】本発明の第4の実施形態に係る半導体装置製造方法によれば、基板よりも融点の低い薄膜を用いて熱処理を行なうので、より短い時間で空洞を形成することができる。さらに、本発明の第1の実施形態に係る半導体装置製造方法で用いた表面平坦化処理を基板に対して施すことにより基板表面を平坦にすることも可能であり、また、開口径が溝のそれよりも大きい薄膜を基板表面に堆積させれば、より高速に且つ制御性良く空洞を形成することもできる。

【0083】なお、SiGe薄膜の膜厚は溝の開口径の大きさの10%以上にとると良い。

【0084】このように、本発明はここでは記載していない様々な実施の形態等を包含するということは十分に理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものでなければならない。

【0085】

【発明の効果】以上述べてきたように、本発明の半導体装置製造方法によれば、溝の開口部付近に基板原子の表面拡散を抑えるための薄膜材料を配置させた状態で基板全体に対して熱処理を施すので、基板内部に空洞を制御性良く形成し、空洞作製に要する労力および時間を大幅に削減することが可能になる。

【0086】また、本発明の半導体装置製造方法によれば、基板の角部を露出させることにより、溝の開口部付近における基板の曲率の非一様性を緩和させる方向に基板の形状変化が生じ、溝の開口部を先に閉じてしまうというメリットが得られるので、基板内部に空洞を制御性良く形成し、空洞作製に要する労力および時間を大幅に削減することが可能になる。

【0087】さらに、本発明の半導体装置製造方法によれば、溝の断面幅が開口部に近づくにしたがって小さくなるので、より短い時間で空洞を形成することができる。

【0088】さらに又、本発明の半導体装置製造方法によれば、溝の側壁に基板原子の表面拡散を抑える薄膜を形成するので、溝の側壁における形状の変化を抑制し、溝の上側のみで形状変化を起こさせることが可能となり、空洞の形状等、空洞の形成プロセスを制御することができる。

【0089】また、本発明の半導体装置製造方法によれば、

ば、基板よりも融点の低い薄膜を用いて熱処理を行なうので、より短い時間で空洞を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置製造方法を示す断面工程図である。

【図2】本発明の実施形態に係る基板表面平坦化処理を示す断面工程図である。

【図3】本発明の第1の実施形態に係る半導体装置製造方法の応用例を示す断面工程図である。

【図4】本発明の第1の実施形態に係る半導体装置製造方法の応用例を示す断面工程図である。

【図5】本発明の第2の実施形態に係る半導体装置製造方法を示す断面工程図である。

【図6】本発明の第3の実施形態に係る半導体装置製造方法を示す断面工程図である。

【図7】本発明の第3の実施形態に係る半導体装置製造方法の応用例を示す断面工程図である。

【図8】本発明の第4の実施形態に係る半導体装置製造方法を示す断面工程図である。

【図9】薄膜の開口径と溝の開口径が等しい場合の熱処理に伴う基板の形状変化の様子を示す実験結果である。

【図10】薄膜の開口径と溝の開口径が等しい場合の熱処理に伴う基板の形状変化の様子を示す模式図である。

【図11】薄膜の開口径が溝の開口径よりも大きい場合の熱処理に伴う基板の形状変化の様子を示す実験結果である。

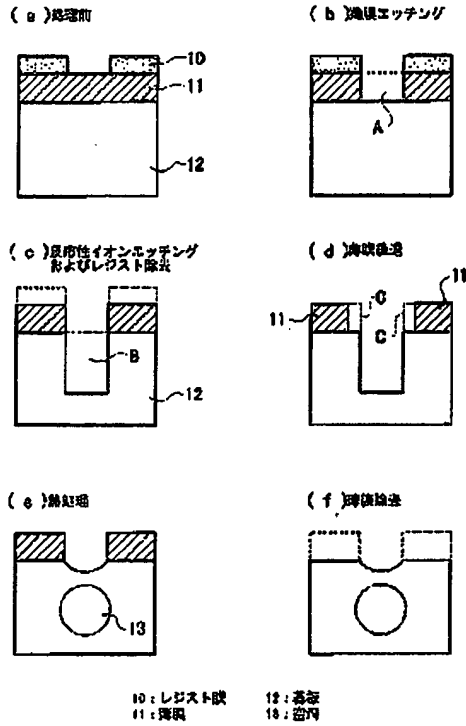
【図12】薄膜の開口径が溝の開口径よりも大きい場合の熱処理に伴う基板の形状変化の様子を示す模式図である。

【図13】薄膜の開口径と溝の開口部が閉じるまでの時間との関係を示す図である。

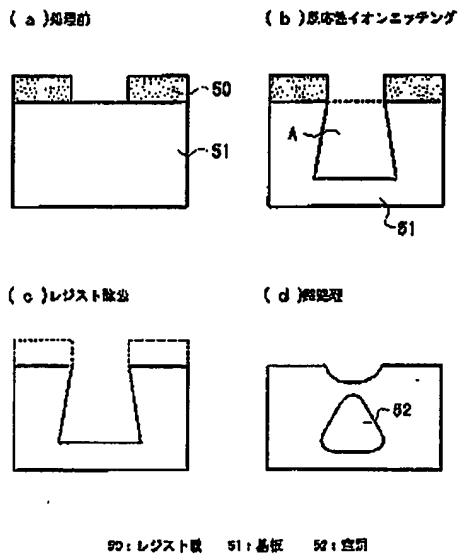
【符号の説明】

10, 30, 40, 50, 60, 80 レジスト膜
11, 22, 31, 32, 41, 62, 70, 90 薄膜
12, 20, 33, 42, 51, 61, 71, 82, 91 基板
13, 21, 34, 52, 64, 73, 83 空洞
43 側壁用材料
63, 72 第2材料
81 SiGe膜
100, 103, 105 薄膜
101, 104, 106 基板
102, 107 空洞

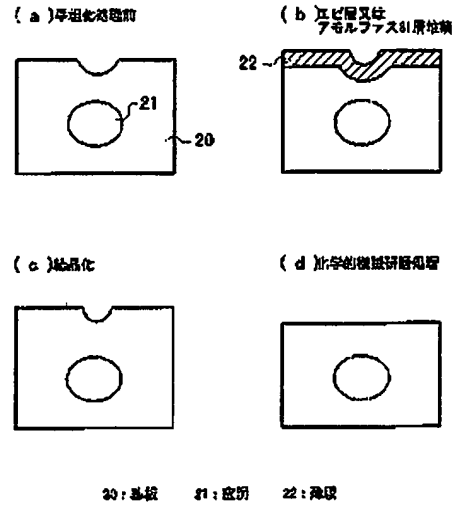
【図1】



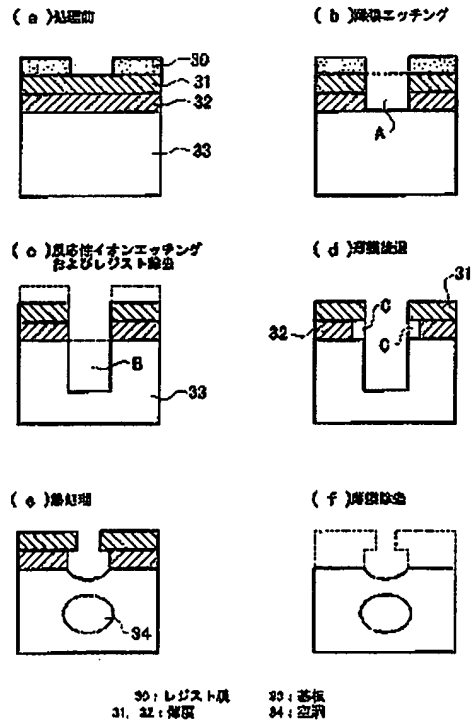
【図5】



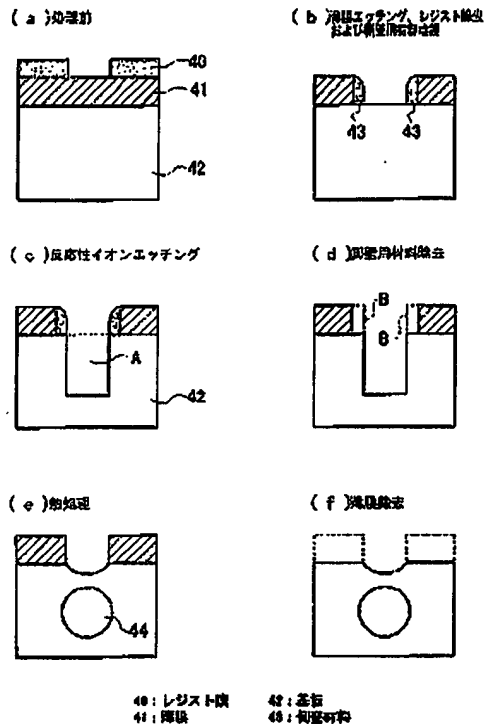
【図2】



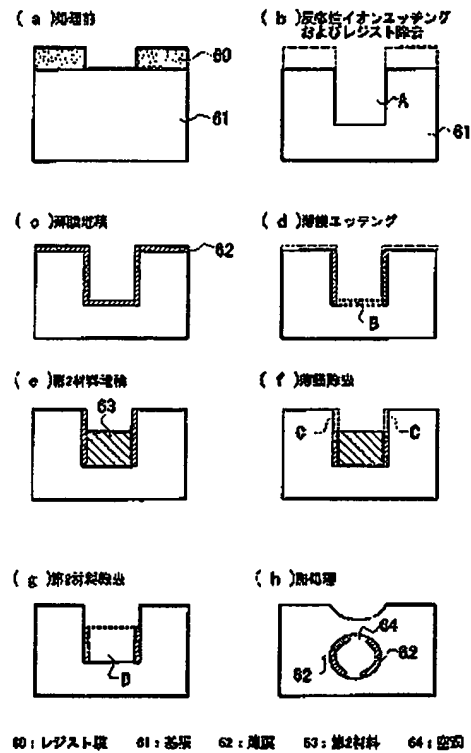
【図3】



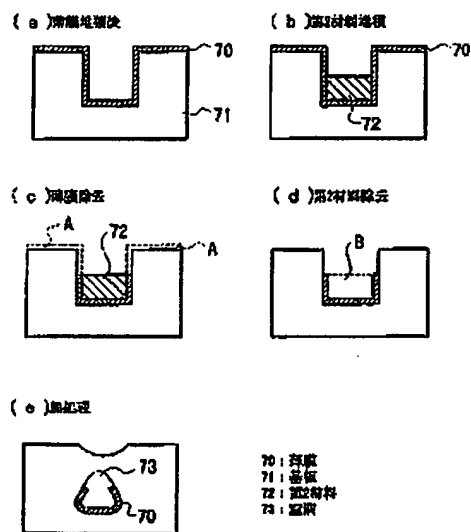
【図4】



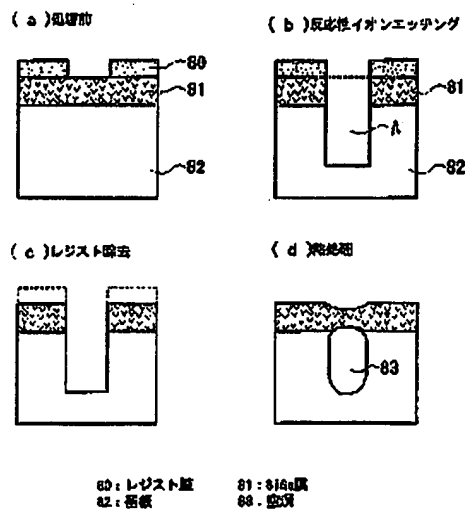
【図6】



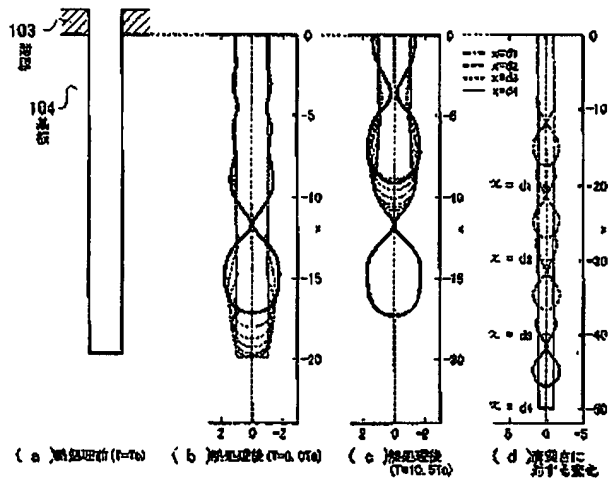
【図7】



【図8】



【図9】



【図13】

液滴体積	開口部が閉じるまでの時間
$R_0 = 1.25R_0$	$0.3 T_0$
$R_0 = 2R_0$	$0.7 T_0$
$R_0 = 3R_0$	$0.9 T_0$

【図10】

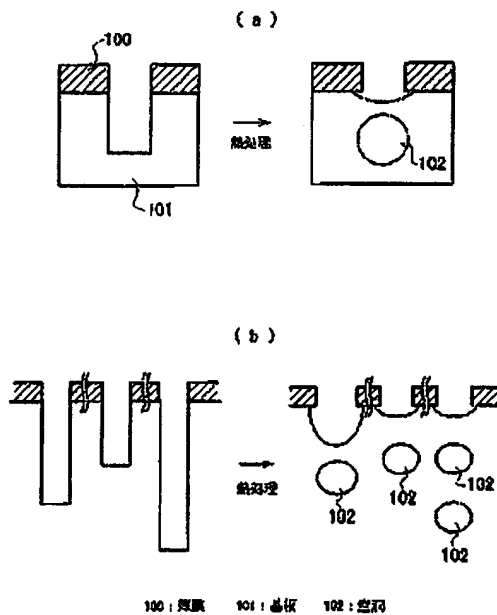


Figure 1 consists of three diagrams labeled (a), (b), and (c).
 (a) Cross-sections at bow, midship, and stern. The bow section shows a rounded front with a width of 20. The midship section shows a rectangular hull with a width of 20. The stern section shows a rectangular hull with a width of 20.
 (b) Longitudinal section showing the change in cross-section along the length. The vertical axis represents the longitudinal position, with values 2, 0, and -2. The horizontal axis represents the cross-section width, with values 2, 0, and -2. The diagram shows the hull's profile along its length.
 (c) Longitudinal section showing the change in cross-section along the length. The vertical axis represents the longitudinal position, with values 5, 0, -5, -10, -15, -20, and -25. The horizontal axis represents the cross-section width, with values 5, 0, and -5. The diagram shows the hull's profile along its length.

Figure 1 is a schematic diagram illustrating the process of forming a porous substrate. The left side shows a cross-section of a substrate 106 with a pattern of rectangular openings 105. The right side shows the substrate after the openings have been filled with a material 107, resulting in a porous structure. An arrow labeled "装丸処理" (filling process) points from the left to the right.